

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-186351

(43) 公開日 平成10年(1998) 7月14日

(51) Int.Cl.⁶

G 0 2 F 1/1335

1/136

識別記号

5 1 0

5 0 0

F I

G 0 2 F 1/1335

1/136

5 1 0

5 0 0

審査請求 未請求 請求項の数 5 O L (全 19 頁)

(21) 出願番号

特願平8-343023

(22) 出願日

平成 8 年 (1996) 12 月 24 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 太田 益幸

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

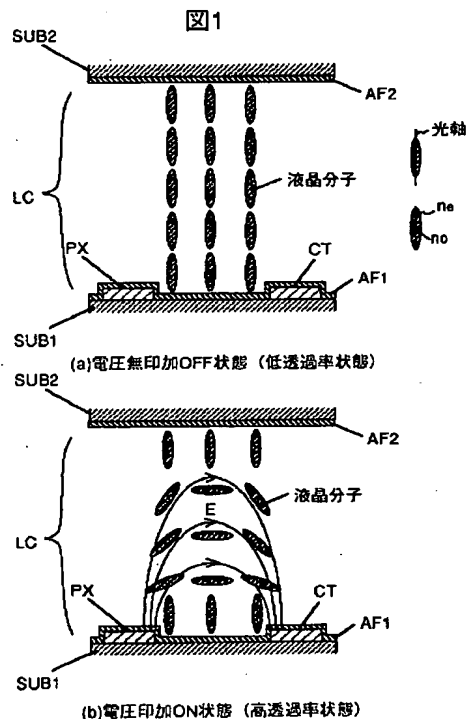
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】ブラウン管並の広視野角かつ高速応答を実現でき、かつ、高画質、高信頼性の液晶表示装置を提供する。

【解決手段】一対の基板と、一対の基板に挟持された正の誘電率異方性を有する液晶組成物と、電圧無印加時に液晶組成物層中の略全ての液晶分子の光軸を基板面に配向させ得る配向制御膜と、液晶組成物層に一対の基板の基板面に略平行な電界を印加させ得る一対の電極を有し、液晶組成物層を透過する光の透過率を変調する。



【特許請求の範囲】

【請求項1】一対の基板と、前記一対の基板に挟持された正の誘電率異方性を有する液晶組成物と、電圧無印加時に前記液晶組成物層中の液晶分子の光軸を基板面に略垂直に配向させ得る配向制御膜と、前記液晶組成物層に前記一対の基板の基板面に略平行な電界を発生させる一対の電極構造と、前記基板面に平行な電界成分と一方の光透過軸との間の角度が約45度で、他方の光透過軸が一方の光透過軸と約90度でクロスニコル位置される一対の偏光板とを有し、前記電界で前記液晶組成物層を透過する光の透過率を変調することを特徴とする液晶表示装置。

【請求項2】多数の走査配線と、多数の信号配線と、前記多数の走査配線と前記多数の信号配線に各々の略交点に形成された能動素子と、前記一対の基板の基板面に略平行な電界を発生させ得る一対の電極を有することを特徴とする請求項1記載の液晶表示装置。

【請求項3】多数の走査配線と、多数の信号配線と、前記多数の走査配線と前記多数の信号配線に各々の略交点に形成された薄膜トランジスタ素子と、前記一対の基板の基板面に略平行な電界を発生させ得る一対の電極を有することを特徴とする請求項1記載の液晶表示装置。

【請求項4】不要な光漏れ部分を遮光し絶縁性を有するブラックマトリクスを有することを特徴とする請求項1記載の液晶表示装置。

【請求項5】前記一対の基板の前記液晶組成物の挟持面の反対側の基板面の少なくとも一方の基板面上に透明導電膜を有することを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関し、特に動画を表示し高画質の映像が必要なシステムの表示デバイスに用いる。

【0002】

【従来の技術】液晶表示装置は薄い、軽量という特徴からノートパソコンに代表される携帯機器の表示装置として広く普及している。特に薄膜トランジスタ素子(TFT)に代表される能動素子を用いたアクティブマトリクス型液晶表示装置は、ブラウン管に匹敵する高画質という点から、最近では、デスクトップパソコンのモニターおよびOA機器等の表示端末として広く普及し始めている。しかしながら、液晶表示装置には、視野角が狭い、応答速度が遅いという特有の欠点が存在する。これらを解決す手段として、例えば、視野角を改善する方法として提案されているのが、インプレーンスイッチングモードと呼ばれる表示モードであり、視野角は抜本的に改善される。また、応答速度を改善させる方法としては、例えば、オプティカルコンペンセーティッドベンディング(OCB)モード、垂直配向(VA)モードがある。こ

れらに関しては、インプレーンスイッチングモードに関しては、例えば、「R. Kiefer, B. Weber, F. Windcheid and G. Baur, Proceedings of the Twelfth International Display Research Conference (Japan Display '92) pp. 547~550」、オプティカルコンペンセーティッドベンディングモード(OCB)に関しては、例えば、「T. Uchida and T. Miyashita, Proceedings of The 2nd International Display Workshops (IDW '95) pp. 39~42」、垂直配向モードに関しては、例えば、「日経マイクロデバイス、1996年10月号、p147」がある。

【0003】

【発明が解決しようとする課題】しかしながら、上記インプレーンスイッチングモードを利用する液晶表示装置では、応答速度が速いものでも100ms弱程度であり、動画表示を行うために必要とされる40~20ms以下の応答速度には程遠く、動画表示を行った時に動画の残像が発生し、画像が彗星の様に尾を引いて流れるように見えるという問題がある。

【0004】一方、オプティカルコンペンセーティッドベンディングモードでは、液晶のベンド配向を実現させるのが、極めて難しく、実用化に至っていない。

【0005】また、垂直配向モードでは、上下方向の視野角が悪く、配向分割技術を使わなければならない、配向分割を施すために、液晶分子のプレチルトを2方向にするような処理が必要で、垂直配向の状態、2方向のプレチルトの状態を安定に維持することが難しく、長時間輝度均一性を維持できないという点で、信頼性に問題があった。

【0006】本発明は上記の課題を解決するもので、本発明の目的は、ブラウン管並の広い視野角、かつ、動画に対応できる高速応答を有し、かつ、良好な画質を長時間安定的に維持できる高信頼性のアクティブマトリクス型液晶表示装置を提供することにある。

【0007】

【課題を解決するための手段】前記目的を達成するために、本発明では、第1の構成として、一対の基板と、前記一対の基板に挟持された正の誘電率異方性を有する液晶組成物と、電圧無印加時に前記液晶組成物層中の液晶分子の光軸を基板面に略垂直に配向させ得る配向制御膜と、前記液晶組成物層に前記一対の基板の基板面に略平行な電界を発生させる一対の電極構造と、前記基板面に平行な電界成分と一方の光透過軸との間の角度が約45度で、他方の光透過軸が一方の光透過軸と約90度でクロスニコル位置される一対の偏光板とを有し、前記電界で前記液晶組成物層を透過する光の透過率を変調するこ

とを特徴とする。

【0008】第2の構成として、第1の構成を含み、多数の走査配線と、多数の信号配線と、前記多数の走査配線と前記多数の信号配線に各々の略交点に形成された能動素子と、前記一対の基板の基板面に略平行な電界を発生させ得る一対の電極を有する構成とする。

【0009】第3の構成として、第1の構成を含み、多数の走査配線と、多数の信号配線と、前記多数の走査配線と前記多数の信号配線に各々の略交点に形成された薄膜トランジスタ素子と、前記一対の基板の基板面に略平行な電界を発生させ得る一対の電極を有する構成とする。

【0010】第4の構成として、第1の構成を含み、不要な光漏れ部分を遮光し絶縁性を有するブラックマトリクスを有する構成とする。

【0011】第5の構成として、第1の構成を含み、前記一対の基板の前記液晶組成物の挟持面の反対側の基板面の少なくとも一方の基板面上に透明導電膜を有する構成とする。

【0012】図1、図2に本発明の原理図を示す。

$$T/T_0 = \sin^2(2\chi) \sin^2$$

ここで、 T は出射光強度、 T_0 は入射光強度、 χ は液晶分子と光軸（液晶層の実効的光軸）と偏光板の偏光透過軸とのなす角、 Δn は液晶層の屈折率異方性、 λ は入射光の波長、 d は基板間の間隔（液晶層の実効的厚み）、 π は円周率を表す。

【0017】ここで、本発明では、図3に示すように偏光板と液晶分子と光軸のなす角 χ は45度でとすると、式1の第1項が1となるので、第2項により透過率 T/T_0 が決定される。

【0018】したがって、本発明では、電圧の印加により液晶層の Δn を制御し、式1の第2項を変化させ、透過率を制御し、所望の表示を得るものである。図1、図2に戻って説明すると、電圧無印加時には複屈折位相差が発生しない、すなわち、屈折率異方性 Δn が0であり、透過率は0となる。このとき視角方向を変化させても、本発明の様に垂直配向した状態では複屈折位相差が発生しないので、全視角方向で良好な黒レベルを得ることができる。

【0019】一方、電圧印加時には、液晶分子の光軸が基板面に平行になり入射光に対し最大の屈折率異方性を表す。このとき、液晶の屈折率異方性 Δn と液晶層の厚み d の積（リタデーション）を入射光 λ の1/2に設定すれば、透過率は最大となり、白表示を得ることができる。

【0020】ここで、本発明が従来の垂直配向モードと異なる点は、本発明では、液晶組成物層に一対の基板の基板面に略平行な電界を印加するための電極構成により、電気力線が半円上に湾曲しているため、必然的に液晶分子の動作が2方向に別れるため、従来の垂直配向

【0013】図1は本発明の液晶表示装置の1つの画素の表示部の断面を、基板面に平行な方向から見た図であり、図2は基板面に垂直な方向から見た図である。なお、図1、図2説明の簡略化のために、TFT等の素子は省略している。

【0014】図1(a)、図2(a)に示すように、本発明では、電界無印加時に液晶組成物層の中の殆どの液晶分子の長軸（光軸）を基板面に垂直な方向に配列するように配向制御膜（配向膜）で初期状態を制御する。この初期状態では、入射光に対して複屈折位相差が発生しない。

【0015】この液晶組成物層に基板に形成された櫛歯電極により基板面に平行な電界を印加することにより、図1(b)、図2(b)の様に液晶分子の長軸を基板面に平行な方向に配列させる。これにより液晶組成物中を通過する光に対し複屈折位相差が発生し、光が変調される。ここで、図3に示す偏光板の配置により、本発明の液晶表示装置の表示を通過する光の透過率 T/T_0 は、以下ようになる。

【0016】

$$(\pi \Delta n \cdot d / \lambda) \quad \dots (式1)$$

で、白表示の視野角特性を広げるために行っている配向分割を施すことが不必要であり、それにもなって問題となっていた配向安定性が向上し、長時間高画質を維持できる高信頼性を得ることができることである。

【0021】したがって、高コントラスト比が得られ、かつ、広視野角特性を得られると同時に、高画質を維持できる高信頼性を両立できる。

【0022】また、第2の作用として、配向膜と液晶の界面での、液晶分子を固定する力（アンカリング）が小さいため、液晶分子が、液晶層内で動き易く、そのため、応答速度が極めて速くなる。

【0023】さらに、第3の作用として、従来の垂直配向モードでは、高い透過率状態（白表示）を得るために、液晶分子の光軸を基板面に平行な方向に動かすために、電界と垂直方向に光軸を揃える性質を有する負の誘電異方性（ $\Delta \epsilon < 0$ ）の液晶組成物を使う必要があるが、本発明では、液晶組成物層に一対の基板の基板面に略平行な電界を印加することにより、高い誘電率異方性が得られ、低電圧で駆動可能な正の誘電異方性（ $\Delta \epsilon > 0$ ）を有する液晶組成物（正の誘電異方性を有する液晶は電界方向と同方向に光軸を揃える）を使用することができる。

【0024】また、第4の作用として、印加電界の方向で、液晶分子の光軸の基板面に平行な面内での方向が決定されるため、従来の垂直配向モードで行っていたラビング処理等での配向方向制御が不必要である。これにより、その配向規制力による液晶分子の動きにくさも改善でき、さらに応答速度を向上することができる。

【0025】これらの作用により、インプレーススウィ

チングモードで実現できない高速応答と、垂直配向モードで実用化できない広視野角と高信頼性の両立を、全て解決することができ、極めて高画質で、ブラウン管を凌駕できる理想的な液晶表示装置を実現することができる。

【0026】

【発明の実施の形態】本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の実施例の説明から明らかとなるであろう。

【0027】《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0028】《マトリクス部（画素部）の平面構成》図4は本発明のアクティブ・マトリクス方式カラー液晶表示装置の画素とその周辺を示す平面図である。

【0029】図4に示すように、各画素は走査信号線（ゲート信号線または水平信号線）GLと、対向電圧信号線（対向電極配線）CLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、蓄積容量Cstg、画素電極PXおよび対向電極CTを含む。走査信号線GL、対向電圧信号線CLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。画素電極PXはソース電極SD1を介して薄膜トランジスタTFTと電気的に接続され、対向電極CTも対向電圧信号線CLと電気的に接続されている。

【0030】画素電極PXと対向電極CTは互いに対向し、各画素電極PXと対向電極CTとの間で発生させられる基板面に略平行な電界により液晶組成物LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極CTは櫛歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

【0031】1画素内の対向電極CTの本数O（櫛歯の本数）は、画素電極PXの本数（櫛歯の本数）Pと $O = P + 1$ の関係を持つように構成する（本実施例では、 $O = 3$ 、 $P = 2$ ）。これは、対向電極CTと画素電極PXを交互に配置し、かつ、対向電極CTを映像信号線DLに隣接させるためである。これにより、対向電極CTと画素電極PXの間の電界が、映像信号線DLから発生する電界から影響を受けないように、対向電極CTで映像信号線DLからの不要な電気力線をシールドすることができる。対向電極CTは、画素電極と異なり、後述の対向電圧信号線CLにより常に外部から電位を供給されているため電位は安定しており、映像信号線DLに隣接しても電位が変動がほとんどない。したがって、映像信号線DLからの不要な電気力線をシールドすることができ

る。また、画素電極PXの映像信号線DLからの幾何学的な位置が遠くなるので、画素電極PXと映像信号線DLの間の寄生容量が大幅に減少し、画素電極電位Vsの映像信号電圧による変動も抑制できる。これらにより、上下方向に発生するクロストーク（縦スミアと呼ばれる画質不良）を抑制することができる。

【0032】画素電極PXと対向電極CTの電極幅はそれぞれ $6\mu\text{m}$ とする。これは、液晶層の厚み方向に対して、液晶層全体に十分な電界を印加するために、後述の液晶組成物層の厚み $3.9\mu\text{m}$ よりも十分大きく設定する。望ましくは、液晶組成物層の1.5倍以上に設定する。また、開口率を大きくするためにできるだけ細くする。また、映像信号線DLも $6\mu\text{m}$ とする。映像信号線DLの電極幅は断線を防止するために、画素電極PXと対向電極CTに比較して若干広しても良い。但し、映像信号線DLの電極幅が、隣接する対向電極CTの電極幅の2倍以下になるように設定する。映像信号線DLの電極幅が歩留りの生産性から決まっている場合には、映像信号線DLに隣接する対向電極CTの電極幅を映像信号線DLの電極幅の $1/2$ 以上にする。これは、映像信号線DLから発生する不要な電気力線をそれぞれ両脇の対向電極CTで吸収するためであり、ある電極幅から発生する電気力線を吸収するには、それと同一幅以上の電極幅を持つ電極が必要である。したがって、映像信号線DLの電極の半分（ $4\mu\text{m}$ ずつ）から発生する電気力線をそれぞれ両脇の対向電極CTが吸収すればよいので、映像信号線DLに隣接する対向電極CTの電極幅が $1/2$ 以上とする。これにより、映像信号の影響によるクロストークが発生、特に上下方向（縦方向）のクロストークを防止する。

【0033】走査信号線GLは末端側の画素（後述の走査電極端子GTMの反対側）のゲート電極GTに十分に走査電圧が伝搬されるだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線CLも末端側の画素（後述の共通バスラインCB1およびCB2から最も遠い画素すなわちCB1とCB2の中間の画素）の対向電極CTに十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

【0034】一方、画素電極PXと対向電極CTの間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路（信号側ドライバ）の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。後述の液晶材料を用いると電極間隔は、 $16\mu\text{m}$ となる。

【0035】《マトリクス部（画素部）の断面構成》図5は図4の6-6切断線における断面を示す図、図6は図4の7-7切断線における薄膜トランジスタTFTの断面図、図7は図4の8-8切断線における蓄積容量C

stgの断面を示す図である。図5～図7に示すように、液晶組成物層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstgおよび電極群が形成され、上部透明ガラス基板SUB2側にはカラーフィルFIL、遮光用ブラックマトリクスパターンBMが形成されている。

【0036】また、透明ガラス基板SUB1、SUB2のそれぞれの内側（液晶LC側）の表面には、液晶の初期配向を制御する配向膜AF1、AF2が設けられており、透明ガラス基板SUB1、SUB2のそれぞれの外側の表面には、偏光板が設けられている。

【0037】《TFT基板》まず、下側透明ガラス基板SUB1側（TFT基板）の構成を詳しく説明する。

【0038】《薄膜トランジスタTFT》薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0039】薄膜トランジスタTFTは、図6に示すように、ゲート電極GT、絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（Si）からなるi型半導体層AS、一对のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0040】《ゲート電極GT》ゲート電極GTは走査信号線GLと連続して形成されており、走査信号線GLの一部の領域がゲート電極GTとなるように構成されている。ゲート電極GTは薄膜トランジスタTFTの能動領域を超える部分である。本例では、ゲート電極GTは、単層の導電膜g3で形成されている。導電膜g3としては例えばスパッタで形成されたクロム-モリブデン合金（Cr-Mo）膜が用いられるがそれに限ったものではない。

【0041】《走査信号線GL》走査信号線GLは導電膜g3で構成されている。この走査信号線GLの導電膜g3はゲート電極GTの導電膜g3と同一製造工程で形成され、かつ一体に構成されている。この走査信号線GLにより、外部回路からゲート電圧（走査電圧）Vgをゲート電極GTに供給する。本例では、導電膜g3としては例えばスパッタで形成されたクロム-モリブデン合金（Cr-Mo）膜が用いられる。また、走査信号線GLおよびゲート電極GTは、クロム-モリブデン合金のみに限られたものではなく、たとえば、低抵抗化のためにアルミニウムまたはアルミニウム合金をクロム-モリブデンで包み込んだ2層構造としてもよい。

【0042】さらに、映像信号線DLと交差する部分は

映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしても良い。

【0043】《対向電圧信号線CL》対向電圧信号線CLは導電膜g3で構成されている。この対向電圧信号線CLの導電膜g3はゲート電極GT、走査信号線GLおよび対向電極CTの導電膜g3と同一製造工程で形成され、かつ対向電極CTと電氣的に接続できるように構成されている。この対向電圧信号線CLにより、外部回路から対向電圧Vcomを対向電極CTに供給する。また、対向電圧信号線CLは、クロム-モリブデン合金のみに限られたものではなく、たとえば、低抵抗化のためにアルミニウムまたはアルミニウム合金をクロム-モリブデンで包み込んだ2層構造としてもよい。さらに、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしても良い。

【0044】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFTにおいて、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、2000～4500Åの厚さに（本実施例では、3500Å程度）形成される。また、絶縁膜GIは走査信号線GLおよび対向電圧信号線CLと映像信号線DLの層間絶縁膜としても働き、それらの電氣的絶縁にも寄与している。

【0045】《i型半導体層AS》i型半導体層ASは、非晶質シリコンで、150～2500Åの厚さに（本実施例では、1200Å程度の膜厚）で形成される。層d0はオーミックコンタクト用のリン（P）をドーピングしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d3が存在するところのみに残されている。

【0046】i型半導体層ASおよび層d0は、走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの短絡を低減する。

【0047】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する導電膜d3から構成されている。

【0048】導電膜d3はスパッタで形成したクロム-モリブデン合金（Cr-Mo）膜を用い、500～3000Åの厚さに（本実施例では、2500Å程度）で形成される。Cr-Mo膜は低応力であるので、比較的膜

厚を厚く形成することができ配線の低抵抗化に寄与する。また、Cr-Mo膜はN(+)型半導体層d0との接着性も良好である。導電膜d3として、Cr-Mo膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよく、また、アルミニウム等との積層構造にしてもよい。

【0049】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の導電膜d3で構成されている。また、映像信号線DLはドレイン電極SD2と一体に形成されている。本例では、導電膜d3はスパッタで形成したクロム-モリブデン合金(Cr-Mo)膜を用い、500~3000Åの厚さに(本実施例では、2500Å程度)で形成される。Cr-Mo膜は低応力であるので、比較的膜厚を厚く形成することができ配線の低抵抗化に寄与する。また、Cr-Mo膜はN(+)型半導体層d0との接着性も良好である。導電膜d3として、Cr-Mo膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよく、また、アルミニウム等との積層構造にしてもよい。

【0050】《蓄積容量Cstg》導電膜d3は、薄膜トランジスタTFTのソース電極SD2部分において、対向電圧信号線CLと重なるように形成されている。この重ね合わせは、図7からも明らかなように、ソース電極SD2(d3)を一方の電極とし、対向電圧信号線CLを他方の電極とする蓄積容量(静電容量素子)Cstgを構成する。この蓄積容量Cstgの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIで構成されている。

【0051】図4に示すように平面的には蓄積容量Cstgは対向電圧信号線CLの一部分に形成されている。

【0052】《保護膜PSV1》薄膜トランジスタTFT上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、0.1~1μm程度の膜厚で形成する。

【0053】保護膜PSV1は、外部接続端子DTM、GTMを露出するよう除去されている。保護膜PSV1と絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。

【0054】また、画素部では、対向電圧信号線CLと後述の対向電極CTとの電気的接続、および、ソース電極SD2と画素電極PXとの電気的接続のために、スルーホールTH2およびTH1を設けている。スルーホールTH2では、保護膜PSV1と絶縁膜GIが一括で加

工されるのでg3層までの孔があき、スルーホールTH1ではd3でブロッキングされるのでd3層までの孔があく。

【0055】また、保護膜PSV1は、ポリイミド等の有機膜を厚く構成したものとの積層構造としても良い。

【0056】《画素電極PX》画素電極PXは、透明導電層i1で形成されている。この透明導電膜i1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、100~2000Åの厚さに(本実施例では、1400Å程度の膜厚)形成される。また、画素電極PXはスルーホールTH1を介して、ソース電極SD2に接続されている。

【0057】画素電極が本実施例のように透明になることにより、その部分の透過光により、白表示を行う時の最大透過率が向上するため、画素電極が不透明な場合よりも、より明るい表示を行うことができる。この時、後述するように、電圧無印加時には、液晶分子は初期の配向状態を保ち、その状態で黒表示をするように偏光板の配置を構成する(ノーマリブラックモードにする)にしている。画素電極を透明にしても、その部分の光を透過することがなく、良質な黒を表示することができ、これにより、最大透過率が向上させ、かつ十分なコントラスト比を達成することができる。

【0058】《対向電極CT》対向電極CTは透明導電層i1で形成されている。この透明導電膜i1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、100~2000Åの厚さに(本実施例では、1400Å程度の膜厚)形成される。また、対向電極CTはスルーホールTH2を介して、対向電圧信号線CLに接続されている。画素電極PXと同様、対向電極を透明にすることにより、白表示を行う時の最大透過率が向上する。

【0059】対向電極CTには対向電圧Vcomが印加されるように構成されている。本実施例では、対向電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位から、薄膜トランジスタ素子TFTをオフ状態にするときに発生するフィードスルー電圧ΔVs分だけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分低減したい場合は、交流電圧を印加すれば良い。

【0060】《カラーフィルタ基板》次に、図4、図5に戻り、上側透明ガラス基板SUB2側(カラーフィルタ基板)の構成を詳しく説明する。

《遮光膜BM》上部透明ガラス基板SUB2側には、不要な間隙部(画素電極PXと対向電極CTの間以外の隙間)からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜BM(いわゆるブラックマトリクス)を形成している。遮光膜BMは、外部光またはバックライト光がi型半導体層ASに入射しない

ようにする役割も果たしている。すなわち、薄膜トランジスタTFTのi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

【0061】図4に示す遮光膜BMは、薄膜トランジスタ素子TFT上部に左右方向に線状に延在した構成である。このパターンは、1例であり、開口部を孔状にあげたマトリクス状の様にすることもできる。櫛歯電極端部等の電界方向が乱れる部分においては、その部分の表示は、画素内の映像情報に1対1で対応し、かつ、黒の場合には黒、白の場合には白になるため、表示の一部として利用することが可能である。また、図の上下方向における対向電極CTと映像信号線DLとの間隙部は、ゲート電極GTと同一工程で形成した第2遮光層SHで遮光する。これにより左右方向の上下方向の遮光は、TFT工程のアライメント精度で高精度に遮光できるので、映像信号線DLに隣接する対向電極CTの電極間に第2遮光層SHの境界を設定でき、上下基板のあわせ精度に依存する遮光膜BMによる遮光よりも、より開口部を拡大することができる。

【0062】また、遮光膜BMを薄膜トランジスタ基板SUB1上に形成することもできる。これにより、第2遮光層SH同様、上下基板のあわせ精度に依存する基板SUB2上の遮光膜BMによる遮光よりも、より開口部を拡大することができる。

【0063】但し、遮光膜BMは光に対する遮蔽性を有し、かつ、画素電極PXと対向電極CTの間の電界に影響を与えないように絶縁性の高い膜で形成されており、本実施例では黒色の有機顔料をレジスト材に混入し、 $1.2\mu\text{m}$ 程度の厚さで形成している。また、光に対する遮蔽性を向上させるためにカーボン、チタン酸化物(Ti_xO_y)を、絶縁性が液晶組成物層内の電界に影響を与えない $108\Omega\text{cm}$ 以上を維持できる範囲で、混入させても良い。また、第2遮光層SHは映像信号線からの電気力線を吸収しやすい様に、導電性を有するほうが良い。

【0064】遮光膜BMは各行の画素に左右方向に線状に形成され、この線で各行の有効表示領域が仕切られている。従って、各行の画素の輪郭が遮光膜BMによってはっきりとする。つまり、遮光膜BMは、ブラックマトリクスとi型半導体層ASに対する遮光との2つの機能をもつ。

【0065】遮光膜BMは周辺部にも額縁状に形成され、そのパターンは図4に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いぐと共に、バックライト等の光が表示エリア外に漏れるのも防いでいる。他方、この遮光膜BMは基板SU

B2の縁よりも約0.3~1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0066】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返してストライプ状に形成される。カラーフィルタFILは2重遮光膜SHのエッジ部分と重なるように形成されている。

【0067】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色顔料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。なお、染色には染料を用いてもよい。

【0068】《オーバーコート膜OC》オーバーコート膜OCはカラーフィルタFILの染料の液晶組成物層LCへの漏洩の防止、および、カラーフィルタFIL、遮光膜BMによる段差の平坦化のために設けられている。オーバーコート膜OCはたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。また、オーバーコート膜OCとして、流動性の良いポリイミド等の有機膜を使用しても良い。

【0069】《液晶層および偏光板》次に、液晶層、配向膜、偏光板等について説明する。

【0070】《液晶層》液晶組成物LCとしては、誘電率異方性 $\Delta\epsilon$ が正でその値が1.3、2、屈折率異方性 Δn が0.081(589nm、20℃)のネマティック液晶を用いる。液晶組成物層の厚み(ギャップ)は、 $3.8\mu\text{m}$ とし、リタデーション $\Delta n \cdot d$ は $0.31\mu\text{m}$ とする。このリタデーション $\Delta n \cdot d$ の値は、 $0.25\mu\text{m}$ 以上から $0.35\mu\text{m}$ の間、好ましくは、 $0.28\mu\text{m}$ 以上から $0.32\mu\text{m}$ の間に設定し、後述の偏光板と組み合わせにより、液晶分子の光軸が電界方向に配列したとき最大透過率を得ることができ、可視光の範囲ないで波長依存性がほとんどない透過光を得ることができるようにする。

【0071】また、液晶組成物層の厚み(ギャップ)は、垂直配向処理を施したポリマビーズで制御している。これにより、黒表示時のビーズ周辺の液晶分子の配向を安定化し、良好な黒レベルを得、コントラスト比を向上している。

【0072】なお、液晶材料LCは、特に限定したものではなく、誘電率異方性 $\Delta\epsilon$ は、その値が大きいほうが、駆動電圧が低減でき、屈折率異方性 Δn は小さいほうが、液晶層の厚み(ギャップ)を厚くでき、液晶の封入時間が短縮され、かつギャップばらつきを少なくすることができる。

【0073】また、液晶組成物の比抵抗としては、10

$9\Omega\text{cm}$ 以上 $10^{14}\Omega\text{cm}$ 以下、好ましくは $10^{11}\Omega\text{cm}$ 以上 $10^{13}\Omega\text{cm}$ 以下のものを用いる。本方式では、液晶組成物の抵抗が低くても、画素電極と対向電極間に充電された電圧を十分保持することができ、その下限は $10^9\Omega\text{cm}$ 、好ましくは $10^{11}\Omega\text{cm}$ である。これは、画素電極と対向電極を、同一基板上に構成していることによる。また、抵抗が高すぎると、製造工程上に入った静電気を緩和しにくいいため、 $10^{14}\Omega\text{cm}$ 以下、好ましくは $10^{13}\Omega\text{cm}$ 以下が良い。

【0074】《配向膜》配向膜AFとしては、日本合成ゴム(株)製ポリイミド(JALS203)を用いる。この配向膜は表面に疎水基(例えばCH3)が存在し、液晶分子の長軸(光軸)が基板面に垂直方向に配列させるものである。これにより、電界無印加時に後述の偏光板との組み合わせにより、良好な黒レベルを表示する。また、本発明では、ラビング処理は施さない。このため、ラビング処理に関わるラビングされない部分ができることによる表示不良領域の発生によるコントラスト比の低下や、ラビング角度のばらつきによるむらの発生等の不良をなくすることができる。

【0075】《偏光板》偏光板POLとしては、導電性を有する偏光板を用い、下側の偏光板POL1の偏光透過軸MAX1を電界印加方向(歯状電極の長手方向と直交する方向)に対して約45度の角度に設定し、上側の偏光板POL2の偏光透過軸MAX2を、それに直交させる。図3にその関係を示している。これにより、作用に示した様な表示を行うことができ、印加される電圧(画素電極PXと対向電極CTの間の電圧)を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができる。

【0076】なお、本実施例では、偏光板に導電性を持たせることにより、外部からの静電気による表示不良およびEMI対策を施している。導電性に関しては、静電気による影響を対策するためだけであれば、シート抵抗が $10^8\Omega/\square$ 以下、EMIに対しても対策するのであれば、 $10^4\Omega/\square$ 以下とするのが望ましい。また、ガラス基板の液晶組成物の挟持面の裏面(偏光板を粘着させる面)に導電層を設けてもよい。

【0077】《マトリクス周辺の構成》図8は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス(AR)周辺の要部平面を示す図である。また、図9は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0078】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経て

からガラスを切断する。図8、図9は後者の例を示すもので、図8、図9の両図とも上下基板SUB1、SUB2の切断後を表しており、LNは両基板の切断前の縁を示す。いずれの場合も、完成状態では外部接続端子群Tg、Tdおよび端子COT(添字略)が存在する(図で上辺と左辺の)部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP(図19、図20)の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。また、対向電極端子COTは、対向電極CTに対向電圧を外部回路から与えるための端子である。マトリクス部の対向電圧信号線CLは、走査回路用端子GTMの反対側(図では右側)に引き出し、各対向電圧信号線を共通バスラインCBで一纏めにして、対向電極端子COTに接続している。

【0079】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。

【0080】配向膜ORI1、ORI2の層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に構成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0081】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0082】《ゲート端子部》図10は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図8下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0083】図中Cr-Mo層g3は、判り易くするた

めハッチを施してある。

【0084】ゲート端子GTMはCr-Mo層g3と、更にその表面を保護し、かつ、TCP (Tape Carrier Package) との接続の信頼性を向上させるための透明導電層i1とで構成されている。この透明導電層i1は画素電極PXと同一工程で形成された透明導電膜ITOを用いている。

【0085】平面図において、絶縁膜GIおよび保護膜PSV1はその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図8に示すように上下に複数本並べられ端子群Tg (図8) が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線SHg (図示せず) によって短絡される。製造過程における配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0086】《ドレイン端子DTM》図11は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図8右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部に該当する。

【0087】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広げられている。外部接続ドレイン端子DTMは上下方向に配列され、ドレイン端子DTMは、図5に示すように端子群Td (添字省略) を構成し基板SUB1の切断線を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHd (図示せず) によって短絡される。検査端子TSTdは図11に示すように一本置き映像信号線DLに形成される。

【0088】ドレイン接続端子DTMは透明導電層i1で形成されており、保護膜PSV1を除去した部分で映像信号線DLと接続されている。この透明導電膜i1はゲート端子GTMの時と同様に画素電極PXと同一工程で形成された透明導電膜ITOを用いている。

【0089】マトリクス部からドレイン端子部DTMまでの引出配線は、映像信号線DLと同じレベルの層d3が構成されている。

【0090】《対向電極端子CTM》図12は対向電圧信号線CLからその外部接続端子CTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図8左上付近に対応する。

【0091】各対向電圧信号線CLは共通バスラインCB1で一纏めして対向電極端子CTMに引き出されてい

る。共通バスラインCBは導電層g3の上に導電層3を積層し、透明導電層i1でそれらを電気的に接続した構造となっている。これは、共通バスラインCBの抵抗を低減し、対向電圧が外部回路から各対向電圧信号線CLに十分に供給されるようにするためである。本構造では、特に新たに導電層を負荷することなく、共通バスラインの抵抗を下げられるのが特徴である。

【0092】対向電極端子CTMは、導電層g3の上に透明導電層i1が積層された構造になっている。この透明導電膜i1は他の端子の時と同様に画素電極PXと同一工程で形成された透明導電膜ITOを用いている。透明導電層i1により、その表面を保護し、電食等を防ぐために耐久性のよい透明導電層i1で、導電層g3を覆っている。また透明導電層i1と導電層g3および導電層d3との接続は保護膜PSV1および絶縁膜GIにスルーホールを形成し導通を取っている。

【0093】一方、図13は対向電圧信号線CLのもう一方の端からその外部接続端子CTM2までの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図5右上付近に対応する。ここで、共通バスラインCB2では各対向電圧信号線CLのもう一方の端(ゲート端子GTM側)をで一纏めして対向電極端子CTM2に引き出されている。共通バスラインCB1と異なる点は、走査信号線GLとは絶縁されるように、導電層d3と透明導電層i1で形成していることである。また、走査信号線GLとの絶縁は絶縁膜GIで行っている。

【0094】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図14に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0095】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0096】走査信号線Y (添字省略) は垂直走査回路Vに接続されており、映像信号線X (添字省略) は映像信号駆動回路Hに接続されている。

【0097】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト (上位演算処理装置) からのCRT (陰極線管) 用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0098】《駆動方法》図15に本実施例の液晶表示装置の駆動波形を示す。対向電圧Vcは一定電圧とする。走査信号Vgは1走査期間ごとに、オンレベルを取り、その他はオフレベルをとる。映像信号電圧は、液晶層に印加したい電圧の2倍の振幅で正極と負極を1フレ

ーム毎に反転して1つの画素に伝えるように印加する。ここで、映像信号電圧Vdは1列毎に極性を反転し、2行毎にも極性を反転する。これにより、極性が反転した画素が上下左右となりあう構成となり、フリッカ、クロストーク（スミア）を発生しにくくすることができる。また、対向電圧Vcは映像信号電圧の極性反転のセンター電圧から、一定量さげた電圧に設定する。これは、薄膜トランジスタ素子がオンからオフに変わるときに発生するフィードスルー電圧を補正するものであり、液晶に直流成分の少ない交流電圧を印加するために行う。液晶は直流が印加されると、残像、劣化等が激しくなる。

【0099】また、この他に、対向電圧は交流化することで映像信号電圧の最大振幅を低減でき、映像信号駆動回路（信号側ドライバ）に耐圧の低いものを用いることも可能である。

【0100】《蓄積容量Cstgの働き》蓄積容量Cstgは、画素に書き込まれた（薄膜トランジスタTFTがオフした後の）映像情報を、長く蓄積するために設ける。本発明で用いている電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極と対向電極で構成される容量（いわゆる液晶容量）がほとんど無いため、蓄積容量Cstgが映像情報を画素に蓄積することができない。したがって、電界を基板面と平行に印加する方式では、蓄積容量Cstgは必須の構成要素である。

【0101】また、蓄積容量Cstgは、薄膜トランジスタTFTがスイッチングするとき、画素電極電位Vsに対するゲート電位変化 ΔVg の影響を低減するようにも働く。この様子を式で表すと、次のようになる。

【0102】

$$\Delta Vs = \{Cgs / (Cgs + Cstg + Cpix)\} \times \Delta Vg$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは画素電極PXと対向電極CTとの間に形成される容量、 ΔVs は ΔVg による画素電極電位の変化分いわゆるフィードスルー電圧を表す。この変化分 ΔVs は液晶LCに加わる直流成分の原因となるが、保持容量Cstgを大きくすればする程、その値を小さくすることができる。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0103】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量Cgsが大きくなり、画素電極電位Vsはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、蓄積容量Cstgを設けることによりこのデメリットも解消することができる。

【0104】《製造方法》つぎに、上述した液晶表示装

置の基板SUB1側の製造方法について図16～図18を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図27に示す薄膜トランジスタTFT部分、右側は図10に示すゲート端子付近の断面形状でみた加工の流れを示す。工程B、工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリソを除去した段階を示している。なお、写真処理とは本説明ではフォトリソの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0105】工程A、図16

AN635ガラス（商品名）からなる下部透明ガラス基板SUB1上に膜厚が2000ÅのCr-Mo等からなる導電膜g3をスパッタリングにより設ける。写真処理後、硝酸第2セリウムアンモンで導電膜g3を選択的にエッチングする。それによって、ゲート電極GT、走査信号線GL、対向電圧信号線CL、ゲート端子GTM、共通バスラインCB1の第1導電層、対向電極端子CTM1の第1導電層、ゲート端子GTMを接続するバスラインSHg（図示せず）を形成する。

【0106】工程B、図16

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が3500Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が1200Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0107】工程C、図16

写真処理後、ドライエッチングガスとしてSF6、CCl4を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0108】工程D、図17

膜厚が300ÅのCrからなる導電膜d3をスパッタリングにより設ける。写真処理後、導電膜d3を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2、共通バスラインCB2の第1導電層、およびドレイン端子DTMを短絡するバスラインSHd（図示せず）を形成する。つぎに、ドライエッチング装置にCCl4、SF6を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。導電膜d3をマスクパターンでパターニングした後、導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は導電膜d1、導電膜d2以外の部分がセルフアラインで除去される。このとき、N(+)型

半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0109】工程E、図17

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が0.4 μ mの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF₆を使用して窒化Si膜を選択的にエッチングすることによって、保護膜PSV1および絶縁膜GIをパターンニングする。ここで、保護膜PSV1と絶縁膜GIは同一ホトマスクでパターンニングされ、一括で加工される。

【0110】工程F、図18

膜厚が1400ÅのITO膜からなる透明導電膜i1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜i1を選択的にエッチングすることにより、ゲート端子GTMの最上層、ドレイン端子DTMおよび対向電極端子CTM1およびCTM2の第2導電層を形成する。

【0111】《表示パネルPNLと駆動回路基板PCB1》図19は、図8等にした表示パネルPNLに映像信号駆動回路Hと垂直走査回路Vを接続した状態を示す上面図である。

【0112】CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の5個は垂直走査回路側の駆動ICチップ、左の10個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPは図16、図17で後述するように駆動用ICチップCHIがテープ・オートメィド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたパネ状の破片が半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1を電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0113】《TCPの接続構造》図20は走査信号駆動回路Vや映像信号駆動回路Hを構成する、集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図21はそれを液晶表示パネルの、本例では走査信号回路用端子GTMに接続した状態を示す要部断面図である。

【0114】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出

力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子GTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子GTM（DTM）は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0115】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールドパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコーン樹脂SILが充填され保護が多重化されている。

【0116】《駆動回路基板PCB2》駆動回路基板PCB2は、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。

【0117】駆動回路基板PCB1と駆動回路基板PCB2とはフラットケーブルFCにより電気的に接続されている。

【0118】《液晶表示モジュールの全体構成》図22は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0119】SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWその表示窓、PNLは液晶表示パネル、SPBは光拡散板、LCBは導光体、RMは反射板、BLはバックライト蛍光管、LCAはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0120】モジュールMDLは、シールドケースSHDに設けられた爪とフックによって全体が固定されるようになっている。

【0121】バックライトケースLCAはバックライト蛍光管BL、光拡散板SPB光拡散板、導光体LCB、反射板RMを収納する形状になっており、導光体LCBの側面に配置されたバックライト蛍光管BLの光を、導

10

20

30

40

50

光体LCB、反射板RM、光拡散板SPBにより表示面
で様なバックライトにし、液晶表示パネルPNL側に
出射する。

【0122】バックライト蛍光管BLにはインバータ回
路基板PCB3が接続されており、バックライト蛍光管
BLの電源となっている。

【0123】

【発明の効果】以上詳述したように、本発明によれば、
高コントラスト比、かつ、広視野角特性を得られると同
時に、高画質を維持できる高信頼性を両立した液晶表示
装置を得ることができる。

【0124】また、同時に、応答速度が極めて速く、低
電圧で駆動可能な液晶表示装置も得ることができる。

【図面の簡単な説明】

【図1】本発明の原理を示す断面図である。

【図2】本発明の原理を示す平面図である。

【図3】本発明の印加電界方向、偏光板透過軸の関係を
示す図である。

【図4】本発明の実施例のアクティブ・マトリックス型
カラー液晶表示装置の液晶表示部の一画素とその周辺を
示す要部平面図である。

【図5】図4の6-6切断線における画素の断面図であ
る。

【図6】図4の7-7切断線における薄膜トランジスタ
素子TFTの断面図である。

【図7】図4の8-8切断線における蓄積容量Cstgの
断面図である。

【図8】表示パネルのマトリクス周辺部の構成を説明す
るための平面図である。

【図9】左側に走査信号端子、右側に外部接続端子の無
いパネル縁部分を示す断面図である。

【図10】ゲート端子GTMとゲート配線GLの接続部
近辺を示す平面と断面の図である。

【図11】ドレイン端子DTMと映像信号線DLとの接
続部付近を示す平面と断面の図である。

【図12】共通電極端子CTM1、共通バスラインCB
1および共通電圧信号線CLの接続部付近を示す平面と
断面の図である。

【図13】共通電極端子CTM2、共通バスラインCB

2および共通電圧信号線CLの接続部付近を示す平面と
断面の図である。

【図14】本発明のアクティブ・マトリックス型カラー
液晶表示装置のマトリクス部とその周辺を含む回路図で
ある。

【図15】本発明のアクティブ・マトリックス型カラー
液晶表示装置の駆動波形を示す図である。

【図16】基板SUB1側の工程A～Cの製造工程を示
す画素部とゲート端子部の断面図のフローチャートであ
る。

【図17】基板SUB1側の工程D～Fの製造工程を示
す画素部とゲート端子部の断面図のフローチャートであ
る。

【図18】基板SUB1側の工程G～Hの製造工程を示
す画素部とゲート端子部の断面図のフローチャートであ
る。

【図19】液晶表示パネルに周辺の駆動回路を実装した
状態を示す上面図である。

【図20】駆動回路を構成する集積回路チップCHIが
フレキシブル配線基板に搭載されたテープキャリアパッ
ケージTCPの断面構造を示す図である。

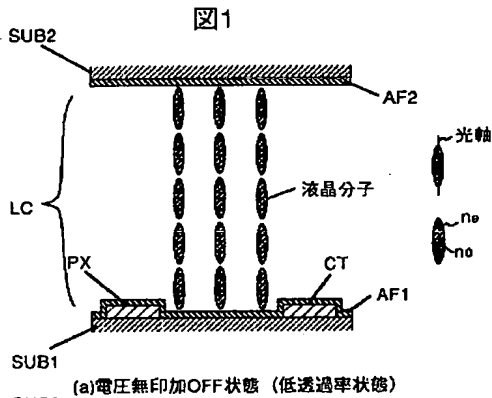
【図21】テープキャリアパッケージTCPを液晶表示
パネルPNLの走査信号回路用端子GTMに接続した状
態を示す要部断面図である。

【図22】液晶表示モジュールの分解斜視図である。

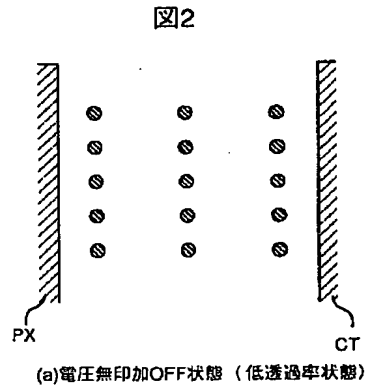
【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映
像信号線、CL…対向電圧信号線、PX…画素電極、C
T…対向電極、GI…絶縁膜、GT…ゲート電極、AS
…i型半導体層、SD…ソース電極またはドレイン電
極、PSV…保護膜、BM…遮光膜、LC…液晶、TF
T…薄膜トランジスタ、PH…スルーホール、g、d…
導電膜、Cstg…蓄積容量、AOF…陽極酸化膜、AO
…陽極酸化マスク、GTM…ゲート端子、DTM…ドレ
イン端子、CB…共通バスライン、DTM…共通電極端
子、SHD…シールドケース、PNL…液晶表示パネ
ル、SPB…光拡散板、LCB…導光体、BL…バック
ライト蛍光管、LCA…バックライトケース、RM…反
射板、(以上添字省略)。

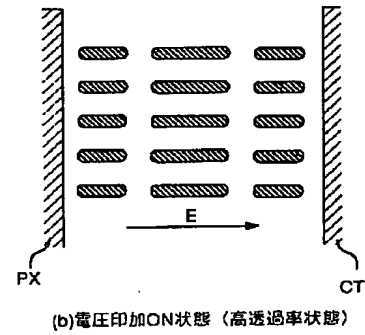
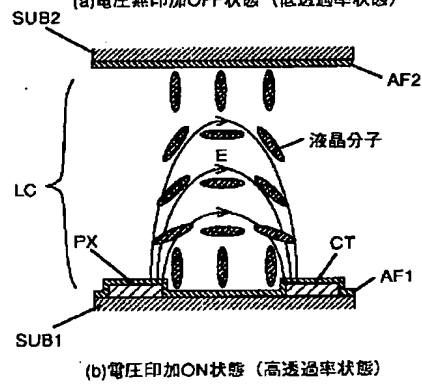
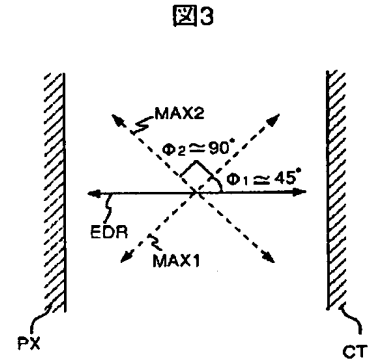
【図1】



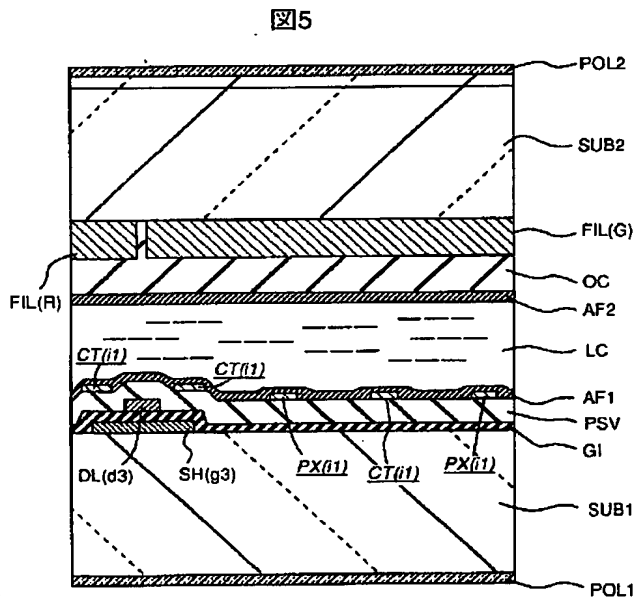
【図2】



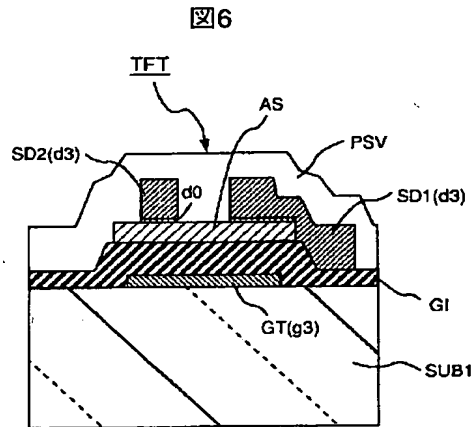
【図3】



【図5】

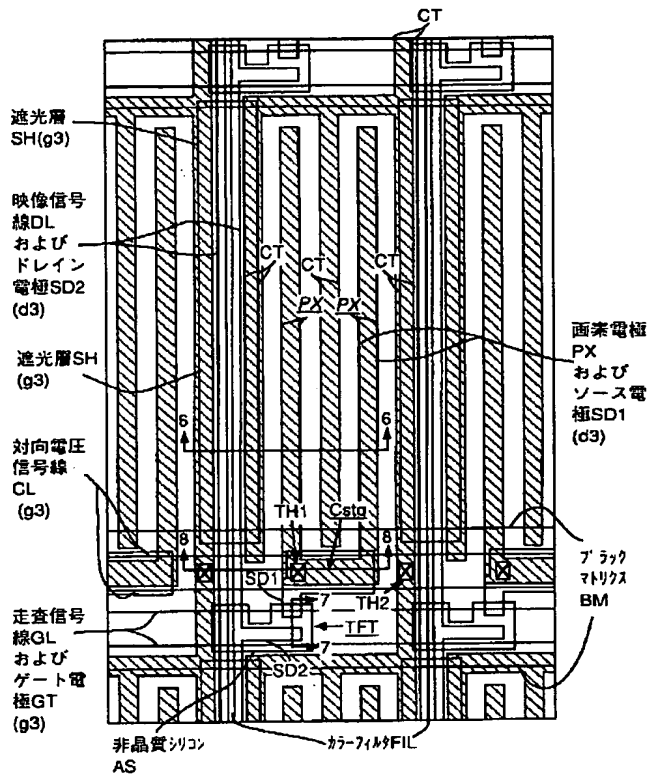


【図6】



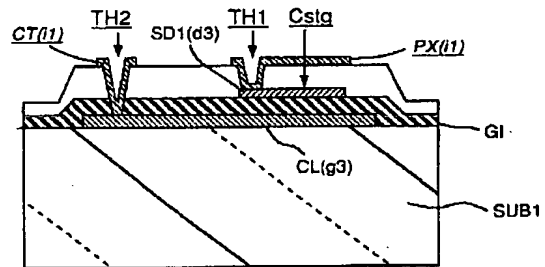
【図4】

図4



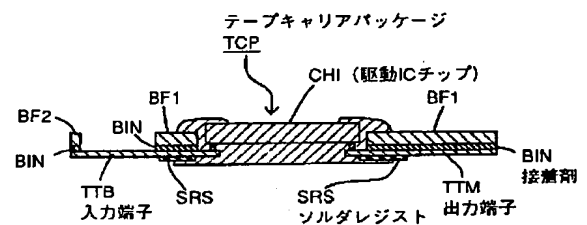
【図7】

図7



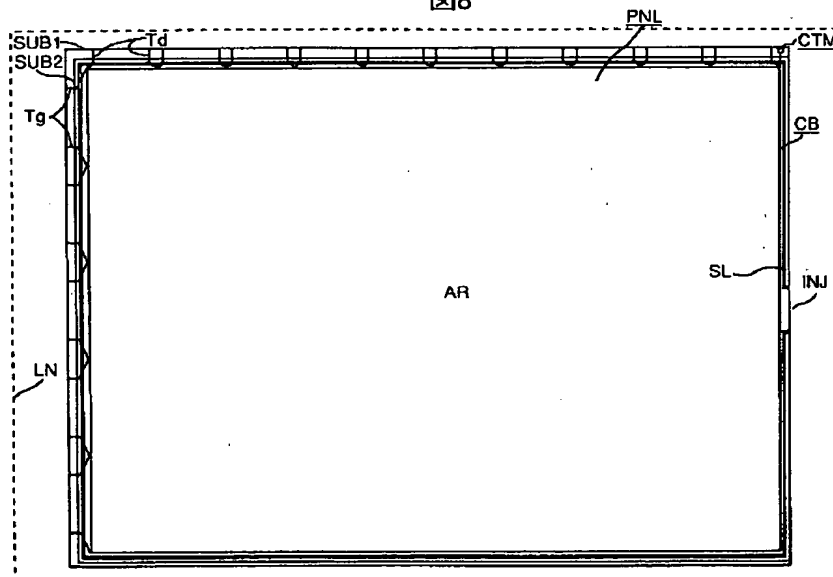
【図20】

図20



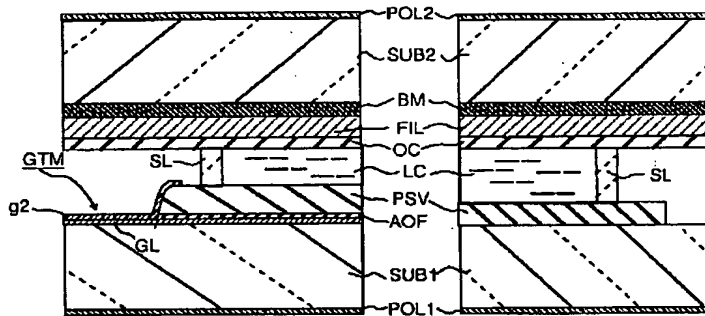
【図8】

図8



【図9】

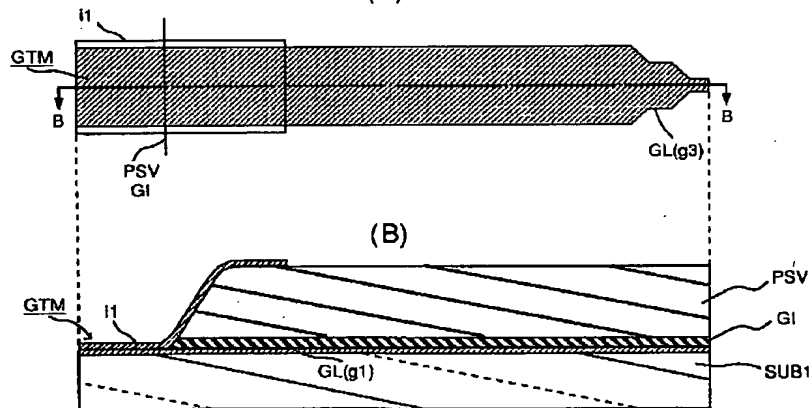
図9



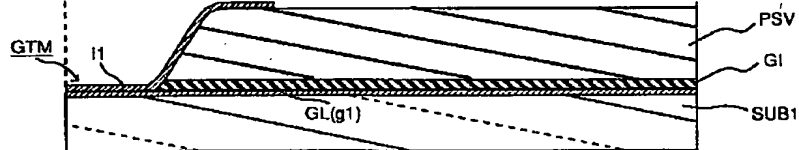
【図10】

図10

(A)

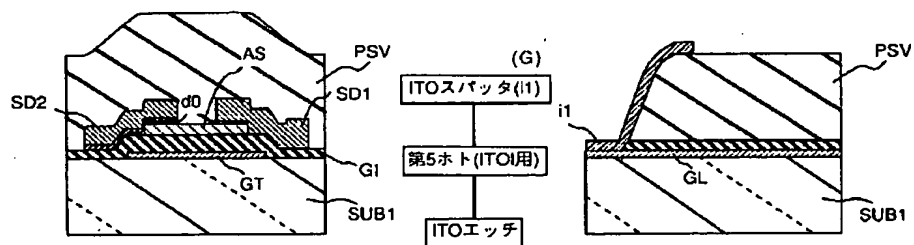


(B)

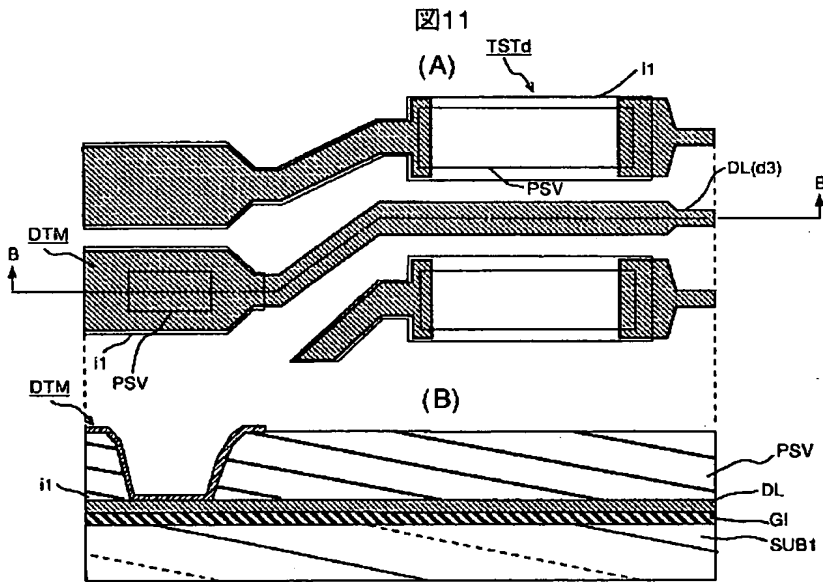


【図18】

図18

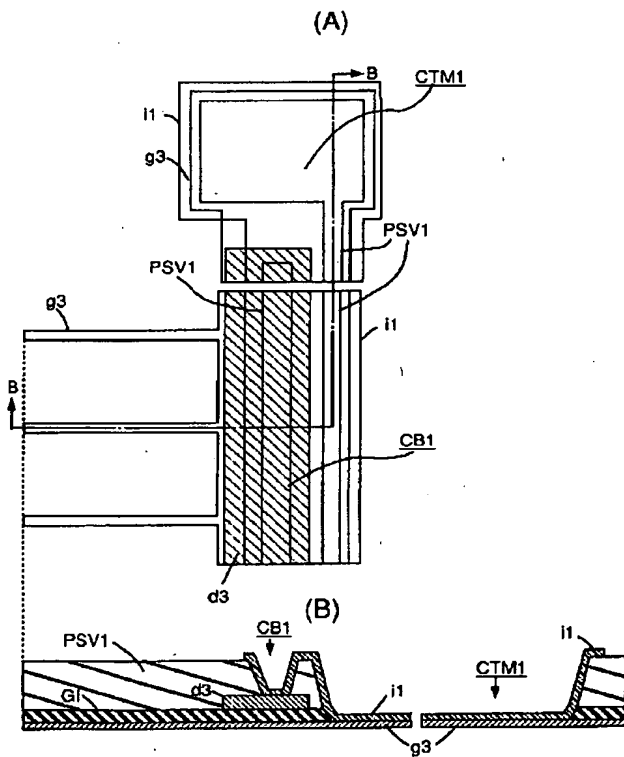


【図11】



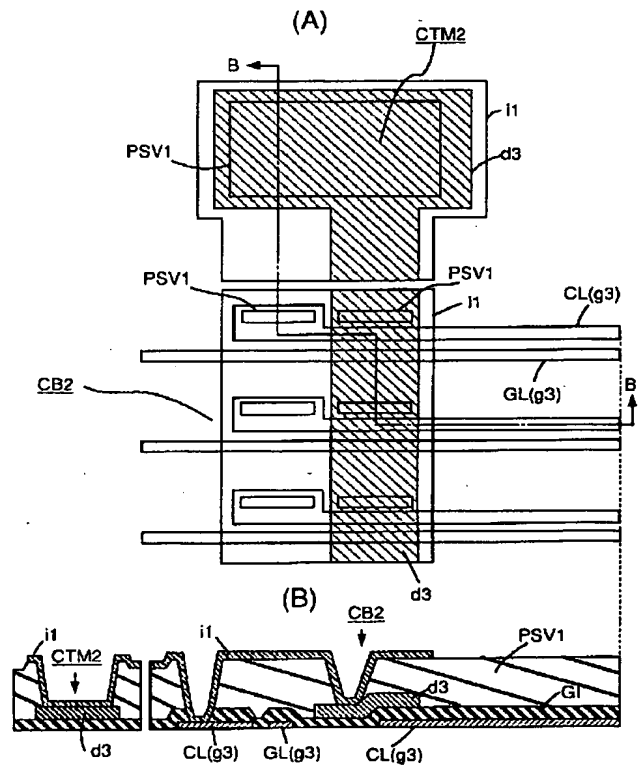
【図12】

図12



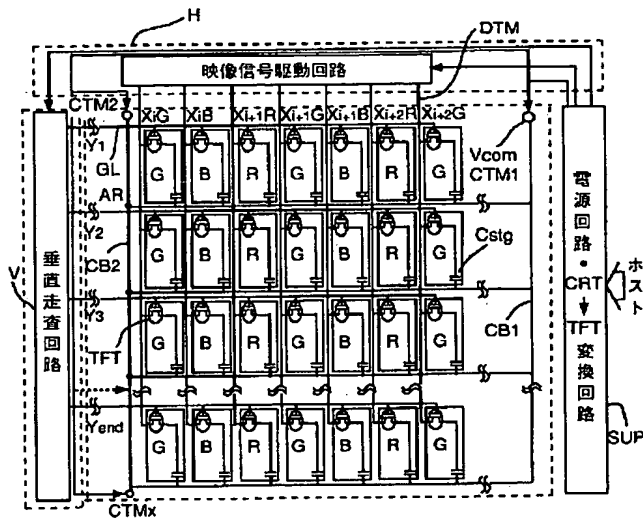
【図13】

図13



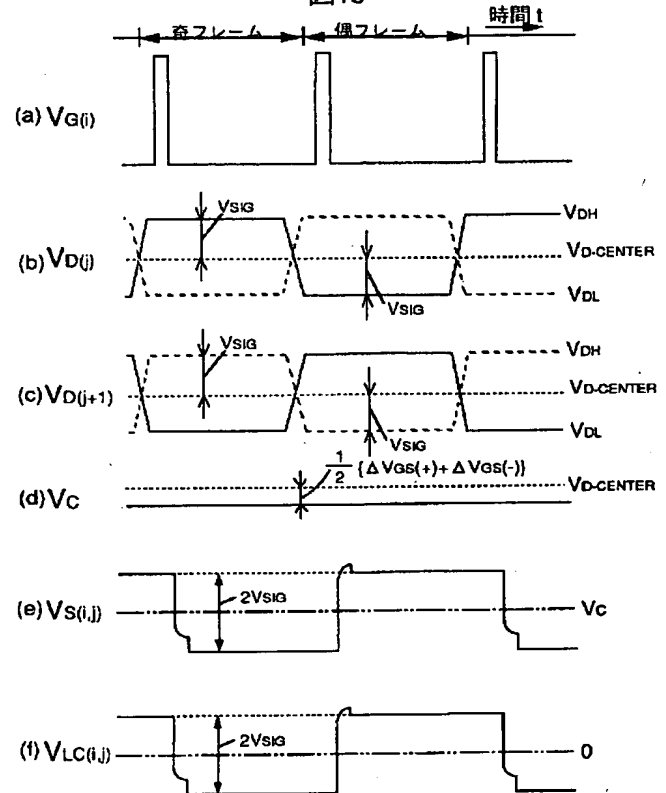
【図14】

図14



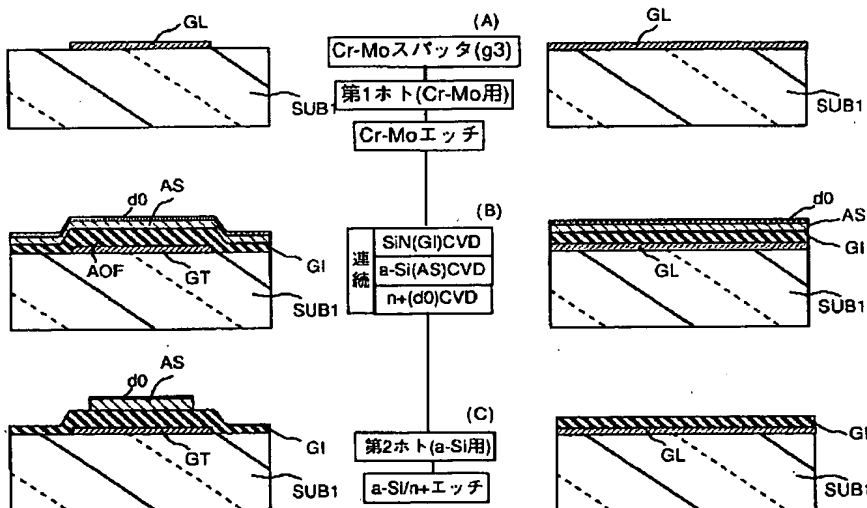
【図15】

図15



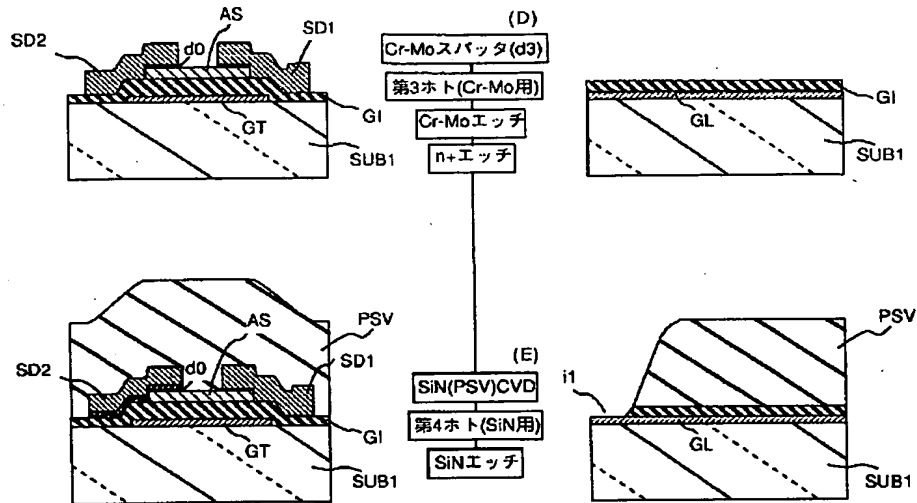
【図16】

図16



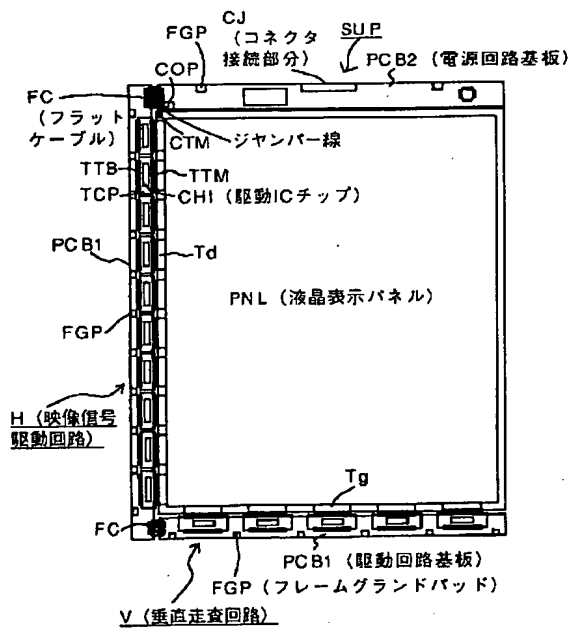
【図17】

図17



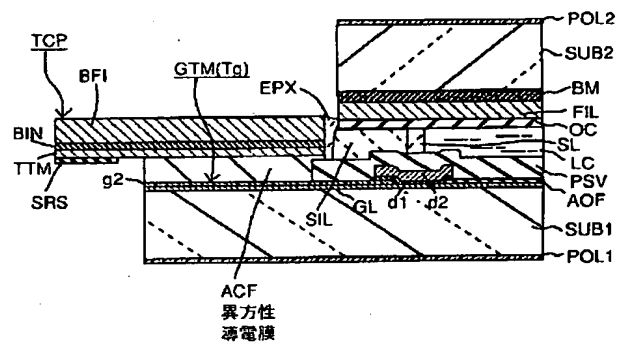
【図19】

図19



【図21】

図21



【図22】

図22

